



(12)实用新型专利

(10)授权公告号 CN 208861994 U

(45)授权公告日 2019.05.14

(21)申请号 201820930797.9

(22)申请日 2018.06.11

(30)优先权数据

102017000064155 2017.06.09 IT

(73)专利权人 意法半导体股份有限公司

地址 意大利阿格拉布里安扎

(72)发明人 F·尤克拉诺 A·齐尼

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 吕世磊

(51)Int.Cl.

H01L 29/778(2006.01)

H01L 21/335(2006.01)

(ESM)同样的发明创造已同日申请发明专利

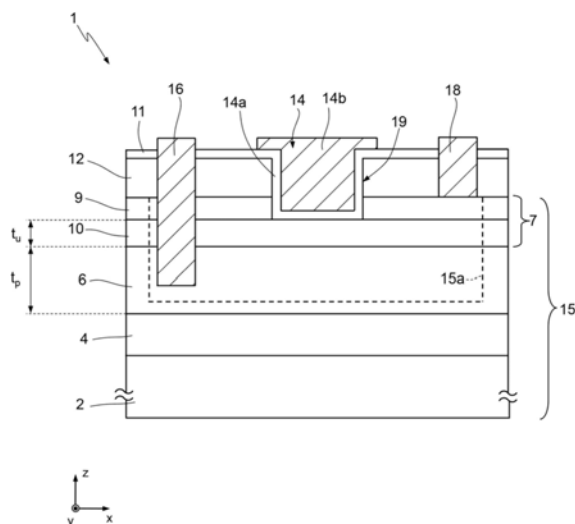
权利要求书2页 说明书8页 附图11页

(54)实用新型名称

高电子迁移率晶体管

(57)摘要

本公开涉及高电子迁移率晶体管。HEMT包括缓冲层、缓冲层上的空穴供应层、空穴供应层上的异质结构、以及源极电极。空穴供应层由P型掺杂半导体材料制成,缓冲层掺杂有碳,并且源极电极与空穴供应层直接电接触,使得空穴供应层可以被偏置以促进空穴从空穴供应层到缓冲层的传输。本公开的实施例使得能够在不降低击穿阈值以及在应力之前不增加通态电阻的值的的情况下,消除应力对通态电阻的影响。



1. 一种高电子迁移率晶体管,其特征在于,包括:

半导体本体,所述半导体本体包括缓冲层、布置在所述缓冲层上的空穴供应层和布置在所述空穴供应层上的异质结构,以及

源极电极,其中所述空穴供应层由P型掺杂的半导体材料制成,并且所述源极电极与所述空穴供应层直接电接触,并且所述源极电极被配置为偏置所述空穴供应层并且由此引起所述空穴供应层将空穴从所述空穴供应层传输到所述缓冲层。

2. 根据权利要求1所述的高电子迁移率晶体管,其特征在于,所述异质结构包括布置在所述空穴供应层上的沟道层和布置在所述沟道层上的阻挡层,并且其中所述沟道层和所述阻挡层由包括III-V族元素的相应化合物材料制成。

3. 根据权利要求2所述的高电子迁移率晶体管,其特征在于,所述沟道层的厚度 t_u 、所述空穴供应层的掺杂物种的表面浓度 N_A 和所述空穴供应层的厚度 t_p 中的至少一个使用以下方程式来确定:

$$t_p > -t_u + \sqrt{t_u^2 + 2 \frac{\epsilon B}{q N_A}} + \sqrt{\frac{2 \epsilon E_A}{q N_A}}$$

其中 q 是元电荷;所述缓冲层的半导体材料具有带隙 B ;所述缓冲层具有价带和陷阱态距所述价带的距离 E_A ;以及 ϵ 是所述空穴供应层的半导体材料的介电常数。

4. 根据权利要求2所述的高电子迁移率晶体管,其特征在于,所述沟道层具有在100nm与500nm之间的厚度 t_u ,所述空穴供应层具有大于 $6 \cdot 10^{16} \text{cm}^{-2}$ 的掺杂物种的表面浓度 N_A ,并且所述空穴供应层具有大于300nm的厚度 t_p 。

5. 根据权利要求2所述的高电子迁移率晶体管,其特征在于,进一步包括:

漏极电极,所述漏极电极被布置为与所述源极电极相距一定距离并且与所述半导体本体直接电接触,以及

栅极,所述栅极被布置为与所述源极电极和所述漏极电极相距一定距离并且与所述半导体本体直接接触,所述栅极延伸到所述阻挡层和所述沟道层之间的界面,终止于所述空穴供应层的外部,所述栅极包括栅极电极和栅极电介质。

6. 根据权利要求2所述的高电子迁移率晶体管,其特征在于,进一步包括:

绝缘层,所述绝缘层被布置在所述异质结构上;

漏极电极,所述漏极电极被布置为与所述源极电极相距一定距离并与所述半导体本体直接电接触;以及

栅极,所述栅极包括栅极电极和栅极电介质,所述栅极被布置为与所述源极电极和所述漏极电极相距一定距离,所述栅极延伸到所述绝缘层和所述阻挡层之间的界面,终止于所述阻挡层的外部。

7. 根据权利要求2所述的高电子迁移率晶体管,其特征在于,进一步包括:

漏极电极,所述漏极电极被布置为与所述源极电极相距一定距离并且与所述半导体本体直接电接触,

栅极,所述栅极包括栅极电极和栅极电介质,所述栅极被布置为与所述源极电极和所述漏极电极相距一定距离并且与所述半导体本体直接接触,所述栅极延伸到所述空穴供应层和所述缓冲层之间的界面,终止于所述缓冲层内部。

8. 根据权利要求2所述的高电子迁移率晶体管,其特征在于,还包括:

漏极电极,所述漏极电极延伸到所述阻挡层和所述沟道层之间的界面,以及

栅极电极,所述栅极电极包括金属区域和在所述金属区域与所述异质结构之间的P型掺杂氮化镓区域。

9. 根据权利要求1所述的高电子迁移率晶体管,其特征在于,所述缓冲层包括杂质,所述杂质被配置为产生促进空穴从所述缓冲层发射的陷阱态,从而在所述缓冲层内部形成负电荷层。

10. 一种高电子迁移率晶体管,其特征在于,包括:

半导体本体,所述半导体本体包括缓冲层、布置在所述缓冲层上的空穴供应层和布置在所述空穴供应层上的异质结构,所述空穴供应层由P型掺杂半导体材料制成;

源极电极,所述源极电极与所述空穴供应层直接电接触,并且所述源极电极被配置为偏置所述空穴供应层并且由此引起所述空穴供应层将空穴从所述空穴供应层传输到所述缓冲层;

漏极电极,所述漏极电极被布置为与所述源极电极相距一定距离并且与所述半导体本体直接电接触;以及

栅极,所述栅极被布置为与所述源极电极和所述漏极电极相距一定距离并且被耦合到所述半导体本体。

11. 根据权利要求10所述的高电子迁移率晶体管,其特征在于,

所述异质结构包括布置在所述空穴供应层上的沟道层和布置在所述沟道层上的阻挡层,并且其中所述沟道层和所述阻挡层由包括III-V族元素的相应化合物材料制成;以及

所述栅极包括栅极电极和与所述半导体本体直接接触的栅极电介质,所述栅极延伸到所述阻挡层和所述沟道层之间的界面,终止于所述空穴供应层的外部。

高电子迁移率晶体管

技术领域

[0001] 本公开涉及高电子迁移率场效应晶体管 (HEMT)。具体地,本公开涉及在断态期间具有高应力顺应性的HEMT晶体管。

背景技术

[0002] 基于在异质结处 (即具有不同带隙的半导体材料之间的界面处) 形成高迁移率二维电子气 (2DEG) 层的高电子迁移率场效应晶体管 (HEMT) 是已知的。例如,基于氮化铝镓 (AlGa_N) 层和氮化镓 (Ga_N) 层之间的异质结的HEMT晶体管是已知的。

[0003] 基于AlGa_N/Ga_N异质结的HEMT晶体管提供了各种优点,使得它们特别适合并被广泛用于一系列不同的应用中。例如,HEMT晶体管的高击穿阈值被高性能功率开关使用;导电沟道中电子的高迁移率使得构建高频放大器成为可能。此外,2DEG中的高浓度电子可以实现低通态电阻 (R_{ON})。

[0004] 由于氮化镓衬底的高成本,基于AlGa_N/Ga_N异质结的HEMT晶体管通常通过在硅衬底上生长Ga_N和AlGa_N层来制造。因此,以这种方式构建的HEMT晶体管是平面的,即具有在平行于衬底的平面上排列的源极电极、栅极电极和漏极电极。

[0005] 当用于功率应用时,取决于电源电压,在HEMT晶体管的断态条件下,源极电极和漏极电极之间的电位降 V_{DS_OFF} 可能达到几百伏。因此,HEMT晶体管中的故障机制是由于在断态条件下在栅极电极和漏极电极之间的区域中形成高电场并因此导致击穿而引起的。因此,HEMT晶体管的击穿阈值是HEMT晶体管的重要品质因数。

[0006] HEMT晶体管的另一个重要品质因数是通态电阻 R_{ON} ,其应该被最小化以节省功耗。

[0007] 此外,已知的HEMT晶体管中的已知问题涉及由于在断态下的高电压 V_{DS_OFF} 引起的应力而导致的通态电阻 R_{ON} 的增加。所述 R_{ON} 的可逆增加可归因于一系列因素,包括HEMT晶体管的缓冲层中的陷阱状态内的发射/捕获现象。在已知的HEMT晶体管中,缓冲层根据陷阱状态的量发射空穴,继续在其内部形成负电荷层。该负电荷层导致2DEG的部分清空,从而增加通态电阻 R_{ON} 。

[0008] 用于单独优化HEMT晶体管的上述品质因数的一系列不同解决方案是已知的。然而,优化一个品质因数通常会对一个或多个其他品质因数有负面影响。

[0009] 例如,HEMT晶体管的击穿阈值可以通过增加HEMT晶体管的栅极电极和漏极电极之间的距离来增加,由此降低用于相同电源电压的电场。然而,这种解决方案也会导致通态电阻 R_{ON} 的不希望的增加。

[0010] 另一种已知的解决方案被公开在Tanaka, K. 等人的“Suppression of current collapse by hole injection from drain in a normally off Ga_N based hybrid drain embedded gate injection transistor”, Appl. Phys. Lett., 107, 163502 (2015)。所述文献涉及HEMT晶体管,其中P型掺杂氮化镓 (p-Ga_N) 层通过在氮化铝镓的阻挡层上生长来形成,并且其被连接到漏极电极。该晶体管具有增加的 R_{ON} , 是由于断态下的应力基本可以忽略不计 ($V_{DS_OFF}=800V$)。尽管如此,无论应力如何, R_{ON} 的增加在静态条件下仍可被观察到。

[0011] 因此,提供一种对于击穿阈值没有负面影响的、防止 R_{ON} 由于HEMT晶体管中的断态下的应力而增加的方法是特别重要的。

实用新型内容

[0012] 本公开的一个或多个实施例提供了解决现有技术中的缺点的HEMT晶体管及相关制造方法。

[0013] 根据本公开的一个方面,提供了一种高电子迁移率晶体管(HEMT),包括:半导体本体,所述半导体本体包括缓冲层、布置在所述缓冲层上的空穴供应层和布置在所述空穴供应层上的异质结构,以及源极电极,其中所述空穴供应层由P型掺杂的半导体材料制成,并且所述源极电极与所述空穴供应层直接电接触,并且所述源极电极被配置为偏置所述空穴供应层并且由此引起所述空穴供应层将空穴从所述空穴供应层传输到所述缓冲层。

[0014] 在一个实施例中,所述异质结构包括布置在所述空穴供应层上的沟道层和布置在所述沟道层上的阻挡层,并且其中所述沟道层和所述阻挡层由包括III-V族元素的相应化合物材料制成。

[0015] 在一个实施例中,所述沟道层的厚度 t_u 、所述空穴供应层的掺杂物种的表面浓度 N_A 和所述空穴供应层的厚度 t_p 中的至少一个使用以下方程式来确定:

$$[0016] \quad t_p > -t_u + \sqrt{t_u^2 + 2 \frac{\epsilon B}{q N_A}} + \sqrt{\frac{2 \epsilon E_A}{q N_A}}$$

[0017] 其中 q 是元电荷;所述缓冲层的半导体材料具有带隙 B ;所述缓冲层具有价带和陷阱态距所述价带的距离 E_A ;以及 ϵ 是所述空穴供应层的半导体材料的介电常数。

[0018] 在一个实施例中,所述沟道层具有在100nm与500nm之间的厚度 t_u ,所述空穴供应层具有大于 $6 \cdot 10^{16} \text{cm}^{-2}$ 的掺杂物种的表面浓度 N_A ,并且所述空穴供应层具有大于300nm的厚度 t_p 。

[0019] 在一个实施例中,所述高电子迁移率晶体管进一步包括:漏极电极,所述漏极电极被布置为与所述源极电极相距一定距离并且与所述半导体本体直接电接触,以及栅极,所述栅极被布置为与所述源极电极和所述漏极电极相距一定距离并且与所述半导体本体直接接触,所述栅极延伸到所述阻挡层和所述沟道层之间的界面,终止于所述空穴供应层的外部,所述栅极包括栅极电极和栅极电介质。

[0020] 在一个实施例中,所述高电子迁移率晶体管进一步包括:绝缘层,所述绝缘层被布置在所述异质结构上;漏极电极,所述漏极电极被布置为与所述源极电极相距一定距离并与所述半导体本体直接电接触;以及栅极,所述栅极包括栅极电极和栅极电介质,所述栅极被布置为与所述源极电极和所述漏极电极相距一定距离,所述栅极延伸到所述绝缘层和所述阻挡层之间的界面,终止于所述阻挡层的外部。

[0021] 在一个实施例中,所述高电子迁移率晶体管进一步包括:漏极电极,所述漏极电极被布置为与所述源极电极相距一定距离并且与所述半导体本体直接电接触,栅极,所述栅极包括栅极电极和栅极电介质,所述栅极被布置为与所述源极电极和所述漏极电极相距一定距离并且与所述半导体本体直接电接触,所述栅极延伸到所述空穴供应层和所述缓冲层之间的界面,终止于所述缓冲层内部。

[0022] 在一个实施例中,所述高电子迁移率晶体管还包括:漏极电极,所述漏极电极延伸到所述阻挡层和所述沟道层之间的界面,以及栅极电极,所述栅极电极包括金属区域和在所述金属区域与所述异质结构之间的P型掺杂氮化镓区域。

[0023] 在一个实施例中,所述缓冲层包括杂质,所述杂质被配置为产生促进空穴从所述缓冲层发射的陷阱态,从而在所述缓冲层内部形成负电荷层。

[0024] 根据本公开的另一方面,提供了一种高电子迁移率晶体管 (HEMT),包括:半导体本体,所述半导体本体包括空穴供应层和布置在所述空穴供应层上的异质结构,所述空穴供应层由P型掺杂半导体材料制成;源极电极,所述源极电极与所述空穴供应层直接电接触,并且所述源极电极被配置为偏置所述空穴供应层并且由此引起所述空穴供应层将空穴从所述空穴供应层传输到所述缓冲层;漏极电极,所述漏极电极被布置为与所述源极电极相距一定距离并且与所述半导体本体直接电接触;以及栅极,所述栅极被布置为与所述源极电极和所述漏极电极相距一定距离并且被耦合到所述半导体本体。

[0025] 在一个实施例中,所述异质结构包括布置在所述空穴供应层上的沟道层和布置在所述沟道层上的阻挡层,并且其中所述沟道层和所述阻挡层由包括III-V族元素的相应化合物材料制成;以及所述栅极包括栅极电极和与所述半导体本体直接接触的栅极电介质,所述栅极延伸到所述阻挡层和所述沟道层之间的界面,终止于所述空穴供应层的外部。

[0026] 本公开的一个或多个实施例涉及包括源极电极和半导体本体的HEMT晶体管,该半导体本体包括缓冲层、布置在缓冲层上的空穴供应层以及布置在空穴供应层上的异质结构。空穴供应层由P型掺杂半导体材料制成,并且源极电极与空穴供应层直接电接触并且被配置为偏置空穴供应层并由此使得空穴供应层将空穴从空穴供应层传输到缓冲层。

[0027] 本公开的一个或多个实施例涉及用于制造HEMT晶体管的方法,所述方法包括:在半导体衬底上形成半导体材料的缓冲层;在所述缓冲层上形成空穴供应层;在空穴供应层上形成半导体异质结构;以及形成源极电极。形成空穴供应层包括形成P型掺杂半导体材料层。形成源极电极包括形成与空穴供应层直接电接触的源极电极,使得空穴供应层被配置为被偏置以将空穴从空穴供应层传输到缓冲层。

[0028] 本公开的实施例使得能够在不降低击穿阈值以及在应力之前不增加通态电阻的值的条件下,消除应力对通态电阻的影响。

附图说明

[0029] 以下参考仅作为非限制性示例提供的优选实施例以及附图来进一步描述本公开,在附图中:

[0030] 图1是根据本公开的一个实施例的HEMT晶体管的横向截面,

[0031] 图2是根据本公开的另一个实施例的HEMT晶体管的横向截面,

[0032] 图3是根据本公开的另一个实施例的HEMT晶体管的横向截面,

[0033] 图4A至图4H示出了图1中的HEMT晶体管的制造步骤,以及

[0034] 图5是根据本公开的另一个实施例的HEMT晶体管的横向截面。

具体实施方式

[0035] 图1显示,在相互正交的三个轴X、Y、Z的系统中,在基于AlGaIn/GaN异质结的HEMT器

件1的平面XZ中的侧视图。

[0036] HEMT器件1包括衬底2、布置在衬底2上的缓冲层4、布置在缓冲层4上的空穴供应层6以及布置在空穴供应层6上的异质结或异质结构7。可选地,一个或多个由周期表的III-V族的化合物(包括镓)制成的附加缓冲层(或界面层)(未示出)被布置在衬底2和缓冲层4之间。上述一个或多个界面层被设计为当器件断电时维持漏极电压,并且降低穿透位错的密度并因此减小陷阱态的密度。

[0037] 衬底2例如由硅或碳化硅(SiC)或蓝宝石(Al_2O_3)或GaN制成。缓冲层4由本征或N型掺杂氮化镓制成,并且具有高浓度的碳杂质,例如浓度在 10^{16} 和 10^{19}cm^{-3} 之间,以便衰减朝向衬底2的垂直泄漏。

[0038] 空穴供应层6由P型掺杂氮化镓制成,例如使用浓度在 10^{17} 与 $3 \cdot 10^{19}\text{cm}^{-3}$ 之间的镁(Mg)。

[0039] 异质结构7具体地包括布置在掩埋层6顶部上的沟道层10和布置在沟道层10顶部上的阻挡层9。沟道层10由本征氮化镓(GaN)制成。阻挡层9由厚度在10nm和30nm之间的氮化铝镓(AlGaIn)制成。沟道层10和阻挡层9通常由如图1所示当耦合在一起时形成能够形成二维气体层(2DEG)的异质结的材料制成。

[0040] HEMT器件1还包括布置在异质结构7上的绝缘层12。绝缘层12由电介质材料制成,例如氮化硅(Si_3N_4)或二氧化硅(SiO_2)并且具有5nm至100nm的厚度。

[0041] 在下文中,衬底2、缓冲层4、空穴供应层6和异质结构7使用术语半导体本体15被称为整体。半导体本体15包含作为HEMT器件1的有源部分的有源区域15a。

[0042] HEMT器件1还包括布置在源极区域16和漏极区域18之间的栅极区域14。有源区域15a横向(即,沿着轴线X)布置在源极区域16和漏极区域18之间。有源区域15a在深度方向(即,沿着轴线Z)延伸到半导体本体15的层中,在有源区域15a中布置有中栅极区域14、源极区域16和漏极区域18。

[0043] 栅极区域14通过绝缘层12的相应部分横向地与源极区域16和漏极区域18分离。栅极区域14在深度方向延伸穿过绝缘层12并进入异质结构7中,终止于阻挡层9和沟道层10之间的界面处。

[0044] 栅极区域14形成于在半导体本体15的一部分中挖出的沟槽19中,沟槽19的深度与栅极区域14的深度相同。由绝缘材料(诸如二氧化硅)制成的电介质层11被布置在绝缘层12上并且在沟槽19内部,部分地填充沟槽19并且在沟槽19内部形成栅极电介质层14a。具体地,栅极电介质层14a被布置在沟槽19的底部和内侧壁上。栅极金属化层14b布置在栅极电介质层14a上的沟槽19中,完全填充沟槽19,并由此形成栅极电极。栅极电介质层14a和栅极金属化层14b形成HEMT器件1的栅极区域14。

[0045] 由诸如钛(Ti)或铝(Al)的导电材料制成的源极区域16延伸穿过绝缘层12和异质结构7,终止于空穴供应层6内部。

[0046] 由诸如钛(Ti)或铝(Al)之类的导电材料制成的漏极区域18延伸穿过绝缘层12,终止于绝缘层12与阻挡层9之间的界面处。根据未在附图中示出的另一个实施例,漏极区18可以是凹陷的,即穿透绝缘层12和阻挡层9之间的界面下方的半导体本体15的一部分。

[0047] HEMT器件1是常断器件,偏置并通过用大于阈值电压 V_{th} 的电压 V_G 偏置栅极区域14而导通,以在源极区域16与漏极区域18之间产生导电沟道。在使用中,源极区域16与漏极区

域18之间的电流 I_{DS} 的值取决于阻挡层9与沟道层10之间的界面处2DEG中的电子浓度。缓冲层4具有陷阱态,是例如由于其中的杂质的高浓度。缓冲层4根据陷阱态的数量发射空穴,继续在缓冲层内部形成负电荷层。该负电荷层导致2DEG中电子浓度的降低。此外,当HEMT晶体管处于断态时,源极区域16与漏极区域18之间存在高电压 V_{DS_OFF} 。由断态下的电压 V_{DS_OFF} 引起的应力在缓冲层4内部产生进一步的陷阱态。空穴供应层6具有高浓度的P型杂质,并因此是空穴的来源,以替代由缓冲层4发射的空穴并中和其内部的负电荷层。根据本公开的一个方面,源极区域16延伸到空穴供应层6,并且偏置空穴供应层6,以促进空穴从空穴供应层6到缓冲层4的传输。因此,在断态下电压 V_{DS_OFF} 引起的应力之后,HEMT晶体管1不受通态电阻 R_{ON} 的增加的影响。

[0048] 通过适当选择空穴供应层6的厚度 t_p 、沟道层10的厚度 t_u 和空穴供应层6的掺杂物种的表面浓度 N_A ,可以对缓冲层4内的负电荷层的中和机制进行优化。申请人已经证实,对于沟道层10的给定厚度 t_u 和空穴供应层6的掺杂物种的给定表面浓度 N_A ,空穴供应层6的厚度 t_p 优选地使用以下方程式来确定:

$$[0049] \quad t_p > -t_u + \sqrt{t_u^2 + 2 \frac{\epsilon B}{q N_A}} + \sqrt{\frac{2 \epsilon E_A}{q N_A}} \quad (1)$$

[0050] 其中 q 是元电荷(约 $1.6 \cdot 10^{-19}C$); B 是缓冲层4的材料的带隙; E_A 是能带图中陷阱态之间的距离,例如由碳原子的存在以及缓冲层(4)的价带产生的;并且 ϵ 是空穴供应层6的材料的介电常数。在该实施例中,缓冲层4是氮化镓的碳掺杂层,其中 $B=3.4eV$, $E_A=0.9eV$, $\epsilon=9\epsilon_0$,其中 ϵ_0 是空穴的介电常数。 E_A 的值可以使用文献中提供的已知方法来确定,例如在A.Chini等人的“Experimental and Numerical Analysis of Hole Emission Process From Carbon-Related Traps in GaN Buffer Layers”,Trans.Elec.Dev.,63(9),3473-3478页,2016。

[0051] 例如,对于空穴供应层6中的活性掺杂物种的浓度 $N_A=10^{17}cm^{-2}$ 以及沟道层10的厚度 $t_u=100nm$,优选的是选择空穴供应层6的厚度 t_p 大于204nm。更一般地,空穴供应层6可具有10nm与1 μm 之间的厚度以及 $10^{17}cm^{-2}$ 与 $10^{19}cm^{-2}$ 之间的活性掺杂物种的浓度,而沟道层10可具有10nm与1 μm 之间的厚度。

[0052] 图2示出了根据本公开的另一个实施例的常通HEMT晶体管21。图2中的HEMT晶体管21的与图1中的HEMT晶体管1共同的元件使用相同的附图标记标识,并且不再进一步描述。参考图2,栅极区域14在深度方向延伸到绝缘层12中,终止于绝缘层12和阻挡层9之间的界面处。因此,与图1中的HEMT晶体管1不同,栅极区域14没有延伸到阻挡层9中。

[0053] 布置成与空穴供应层6直接电接触的源极区域16的存在使得可以获得与上述关于HEMT晶体管1相同的优点。

[0054] 图3示出了根据本公开的另一实施例的常断HEMT晶体管31。图3中的HEMT晶体管31的与图1中的HEMT晶体管1共同的元件使用相同的附图标记标识,并且不再进一步描述。参考图3,栅极区域14延伸穿过绝缘层12、异质结构7、空穴供应层6和缓冲层4的一部分,终止于缓冲层4内部。

[0055] 布置成与空穴供应层6直接电接触的源极区域16的存在使得可以获得与上述关于

HEMT晶体管1相同的优点。

[0056] 在使用期间,当栅极区域14以大于阈值电压 V_{th} 的电压 V_G 被偏置时,导电沟道32(用箭头示意性示出)在栅极区域14下方在源极区域16和漏极区域18之间被创建,该导电沟道32穿过空穴供应层6沿着轴线Z并且穿过缓冲层4沿着轴线X延伸。这确保了通过p型GaN空穴供应层6的电流的路径被最小化,并且通态电阻 R_{ON} 被进一步优化。

[0057] 图1中的HEMT器件1的制造步骤在下文参考图4A至图4H来描述。

[0058] 图4A是根据本公开的一个实施例的在HEMT器件1的制造步骤期间晶片40的一部分的截面。与参照图1描述并且在图1中示出的主题相同的晶片40的元件使用相同的附图标记来指示。

[0059] 具体地且如图4A所示,晶片40被布置,该晶片40包括:衬底2,该衬底2例如由硅(Si)或碳化硅(SiC)或氧化铝(Al_2O_3)制成,其前侧2a和后侧2b在z方向上彼此相对布置;以及缓冲层4,其由本征或N型掺杂氮化镓(GaN)制成,缓冲层4的低侧4a被布置在衬底2的前侧2a上(附图中未示出的附加界面层也可以被包括)。

[0060] 如图4B所示,由P型掺杂氮化镓(GaN)制成的空穴供应层6然后例如使用外延生长来形成。举例来说,空穴供应层6的厚度 t_p 在10nm和1 μm 之间,基于上面给出的方程式(1)来确定。

[0061] 如图4C所示,异质结构7然后被形成。在第一步骤中,由本征氮化镓(GaN)制成的沟道层10例如使用外延生长来形成。沟道层10的厚度 t_u 在10nm和1 μm 之间,基于上面给出的方程式(1)来确定。由氮化铝镓($AlGaN$)制成的阻挡层9然后例如使用外延生长来形成。阻挡层9的厚度在10nm和30nm之间。阻挡层9的暴露的上侧形成异质结构7的前侧7a。

[0062] 如图4D所示,由诸如氮化硅(SiN)、氧化硅(SiO_2)、氧化镍(NiO)或其他材料之类的绝缘或电介质材料制成的绝缘层12然后在异质结构7的正面7a上被形成。绝缘层12具有5nm至300nm之间的厚度,例如100nm,并且通过化学气相沉积(CVD)或原子层沉积(ALD)形成。

[0063] 如图4E所示,绝缘层12然后例如使用光刻和蚀刻步骤选择性地去除,以便在晶片40的将要在连续的步骤中形成栅极区域14的区域(或者在有源区域15a的一部分中)中去除其中的选定部分。

[0064] 蚀刻步骤然后在阻挡层9上被执行,使用与绝缘层12的蚀刻步骤相同的光刻掩模。一旦到达与沟道层10的界面,蚀刻就终止。这形成了沟槽19。备选地,以未在图中示出的方式,用于阻挡层9的蚀刻步骤不被执行,以制造图2中的HEMT晶体管21。备选地,以未在图中示出的方式,阻挡层9的蚀刻步骤之后是沟道层10的蚀刻步骤、空穴供应层6的蚀刻步骤和缓冲层4的蚀刻步骤,使用与绝缘层12的蚀刻步骤相同的光刻掩模,以制造图3中的HEMT晶体管31。在这种情况下,沟道层10和空穴供应层6在由绝缘层12的蚀刻步骤的光刻掩模限定的选定部分中被完全去除,在到达与衬底2的界面之前缓冲层4的蚀刻在缓冲层4内部终止。

[0065] 如图4F所示,例如由选自氮化铝(AlN)、氮化硅(SiN)、氧化铝(Al_2O_3)和氧化硅(SiO_2)的材料制成的栅极电介质层14a的沉积或生长步骤然后被执行。栅极电介质层14a的厚度被选择在5nm与50nm之间。

[0066] 如图4G所示,一个或多个另外的掩模蚀刻步骤然后在电介质层14a、绝缘层12和半导体本体15上被执行,以去除布置在晶片40的如下区域中的选定部分,在这些区域中HEMT器件1的源极区域16和漏极区域18将被形成。具体地,第一孔60a和第二孔60b被形成在栅极

区域14的沿着X的相对侧上并且远离栅极区域14。第一孔60a在深度方向上延伸穿过绝缘层12和异质结构7,终止于空穴供应层6内部。第二孔60b在深度方向上延伸穿过绝缘层12,终止于绝缘层12和阻挡层9之间的界面处。可选地,以未在附图中示出的方式,第二孔60b可以穿透绝缘层12和阻挡层9之间的界面下方的半导体本体15的一部分。

[0067] 如图4H所示,欧姆接触形成步骤然后被执行以形成源极区域16和漏极区域18,使用溅射或蒸发器和用于剥离的光刻掩模在孔60a、60b内沉积导电材料,具体是诸如钛(Ti)或铝(Al)的金属,或其合金或化合物。导电材料完全填充孔60a、60b,分别形成源极区16和漏极区18。在沉积之后,快速热退火(RTA)步骤被执行,例如在约500°C与800°C之间的温度持续30秒至2分钟之间的时间。

[0068] 晶片40上的导电材料的沉积步骤然后被执行以在栅极电介质层14a上形成栅极金属化层14b,具体是完全填充沟槽19。例如,栅极金属化层14b由诸如钽(Ta)、氮化钽(TaN)、氮化钛(TiN)、钼(Pa)、钨(W)、硅化钨(WSi₂)、钛铝(Ti/Al)、镍金(Ni/Au)之类的金属材料制成。栅极金属化层14b使用本身已知的光刻步骤被选择性地沉积在沟槽19中并且在源极区域16和漏极区域18之间的一定距离处。栅极金属化层14b和栅极电介质层14a一起形成图1中的HEMT器件1的凹陷栅极区域14。

[0069] 图1所示的HEMT器件1因此被形成。

[0070] 图5示出了根据本公开的另一实施例的常断HEMT晶体管51。图5中的HEMT晶体管51的与图1中的HEMT晶体管1共同的元件使用相同的附图标记标识,并且不再进一步描述。

[0071] 参考图5,HEMT晶体管51包括布置在源极区域16和漏极区域18之间的绝缘层12上的导电材料的栅极电极54,并且与上述区域分离。由诸如钛(Ti)或铝(Al)之类的导电材料制成的漏极区域18延伸穿过绝缘层12和阻挡层9,终止于阻挡层9和沟道层10之间的界面处。

[0072] HEMT晶体管51还包括P型掺杂氮化镓的掩埋区域56,其在栅极电极54下方且与栅极电极54直接接触地延伸,在深度方向穿过绝缘层12,终止于绝缘层12与阻挡层9之间的界面处。由栅极电极54和掩埋区域56形成的结构在现有技术中被称为“p-GaN栅极”,并且包含这种结构的HEMT晶体管被称为“p-GaN栅极晶体管”。

[0073] 布置成与空穴供应层6直接电接触的源极区域16的存在使得可以获得与上述关于HEMT晶体管1相同的优点。

[0074] 根据上述内容,根据本公开的公开内容的优点是显而易见的。具体地,本公开使得能够在不降低击穿阈值以及在应力之前不增加R_{ON}的值的条件下,消除应力对R_{ON}的影响。

[0075] 最后,显而易见的是,可以对所描述和示出的主题进行修改和变化,而不超出如所附权利要求书所限定的本公开的保护范围。

[0076] 例如,晶片正面上的触点(源极、漏极、栅极)的金属化可以使用文献中已知的任何变型(诸如使用AlSiCu/Ti、Al/Ti或W插塞等等形成触点)来执行。

[0077] 此外,缓冲层4、空穴供应层6和异质结构7可以由选自III-V族中的化合物材料的其它材料制成。

[0078] 上文描述的各种实施例可以被组合以提供进一步的实施例。根据以上详细描述,对这些实施例的这些和其他改变可以被做出。通常,在下面的权利要求中,所使用的术语不应该被解释为将权利要求限制为说明书和权利要求书中公开的具体实施例,而是应该被解

释为包括所有可能的实施例以及这些权利要求所赋予权利的等同物的全部范围。

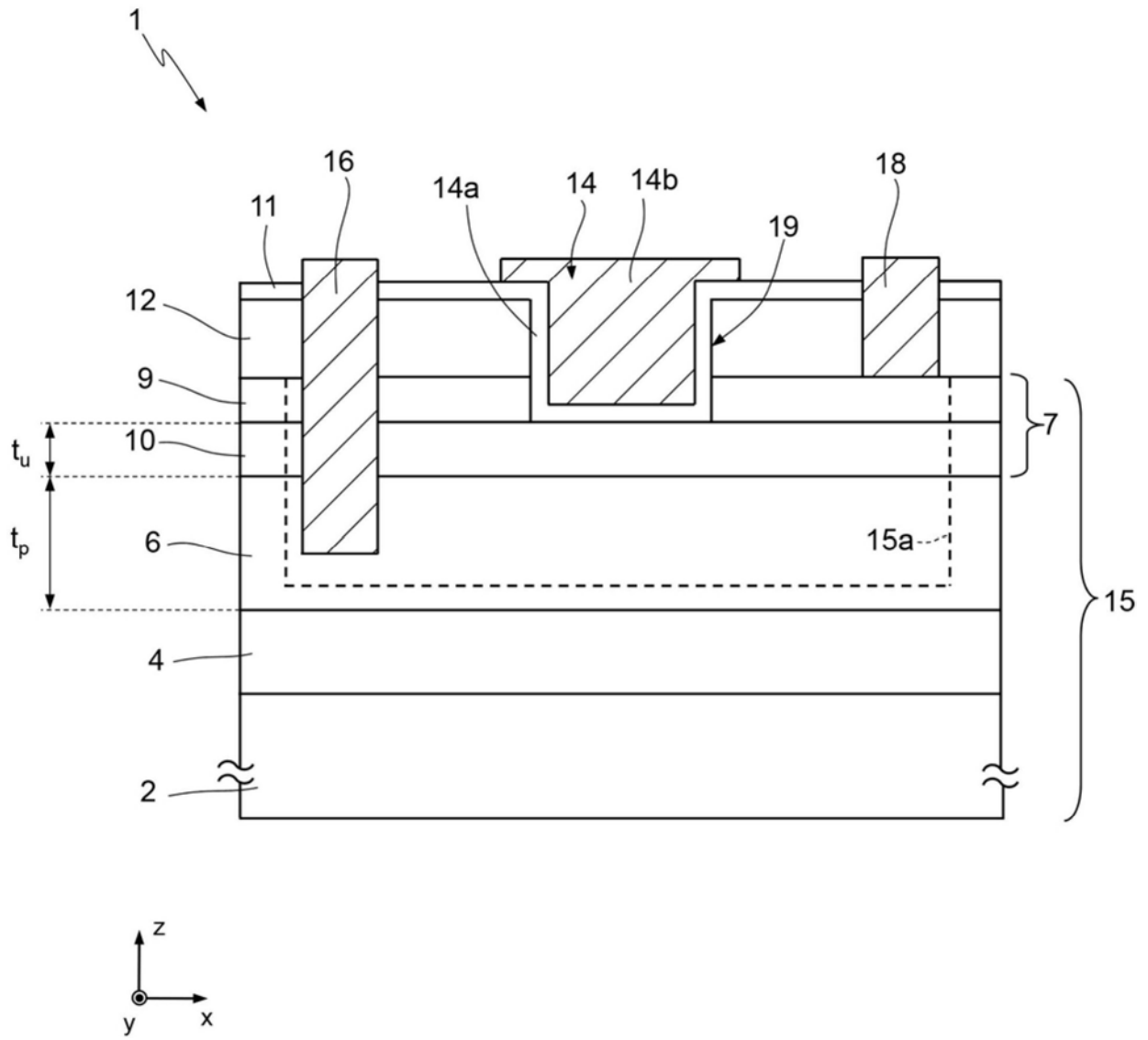


图1

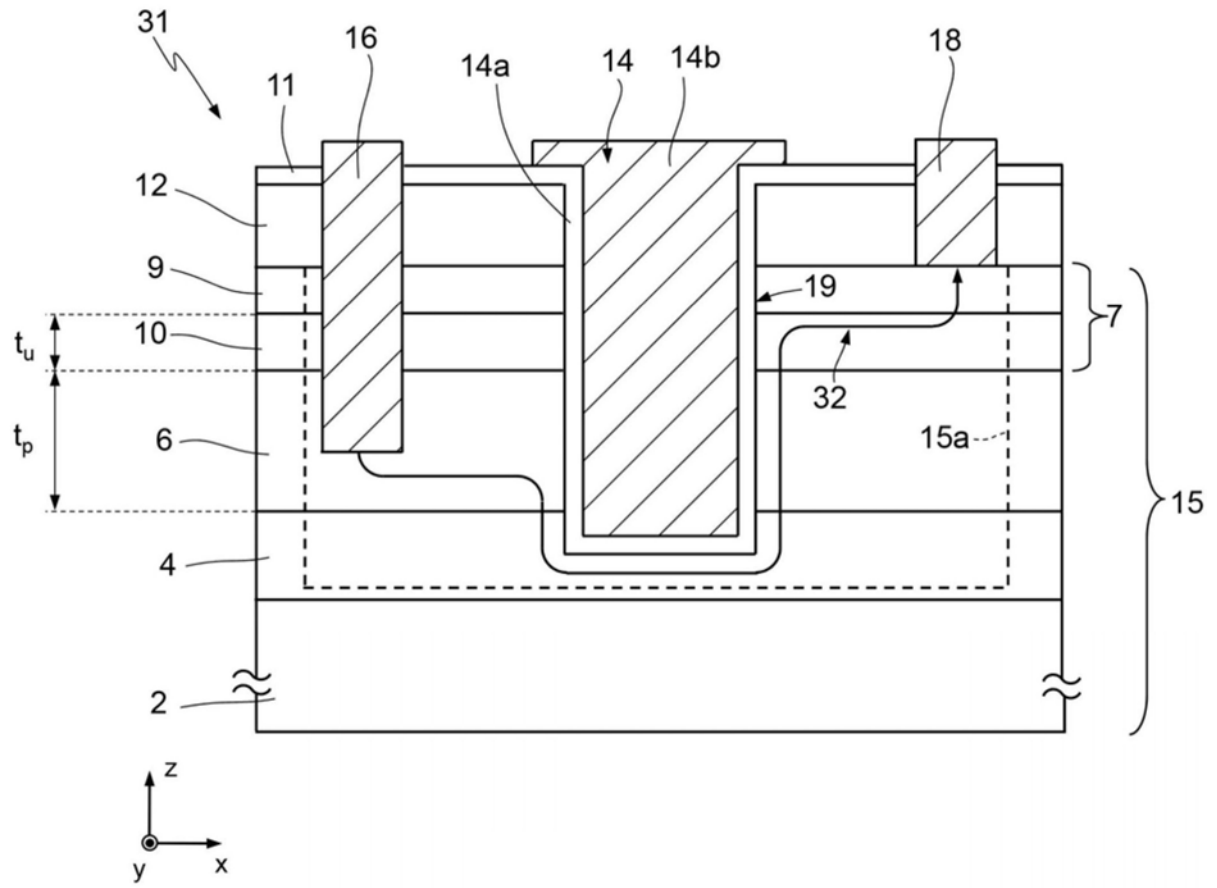


图3

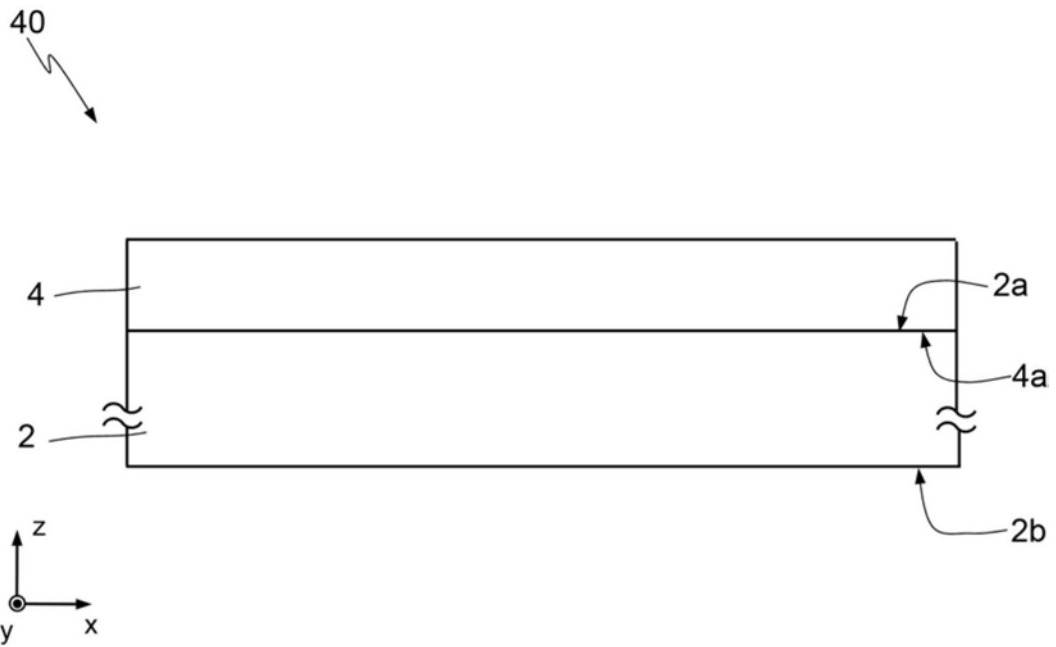


图4A

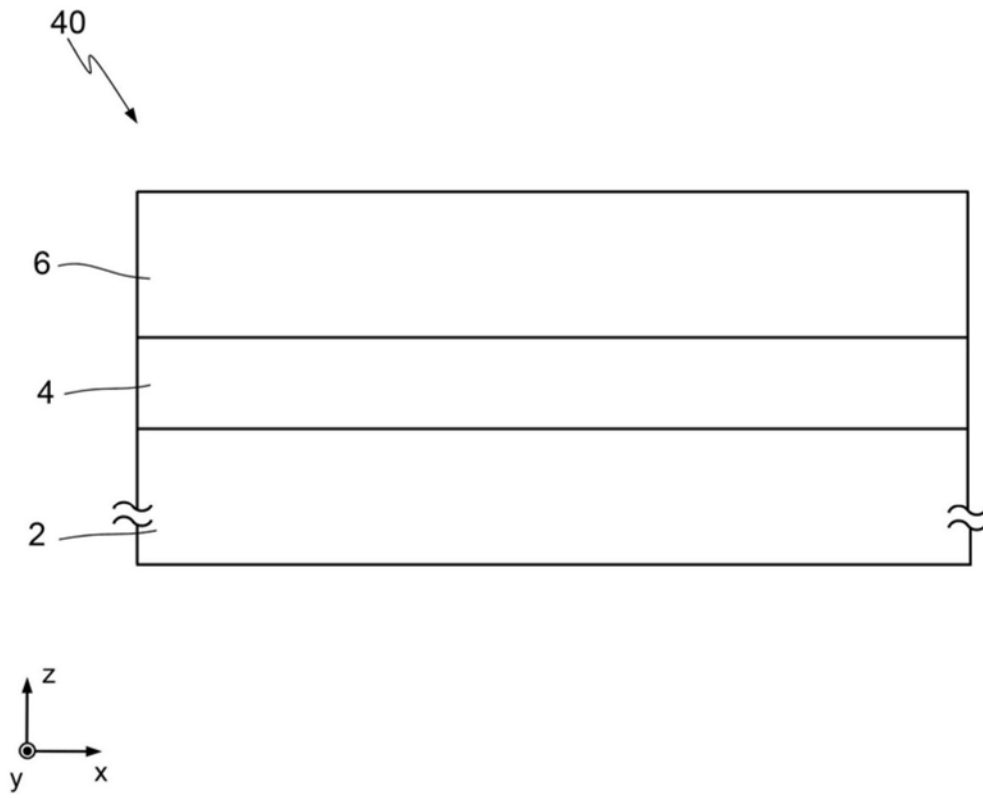


图4B

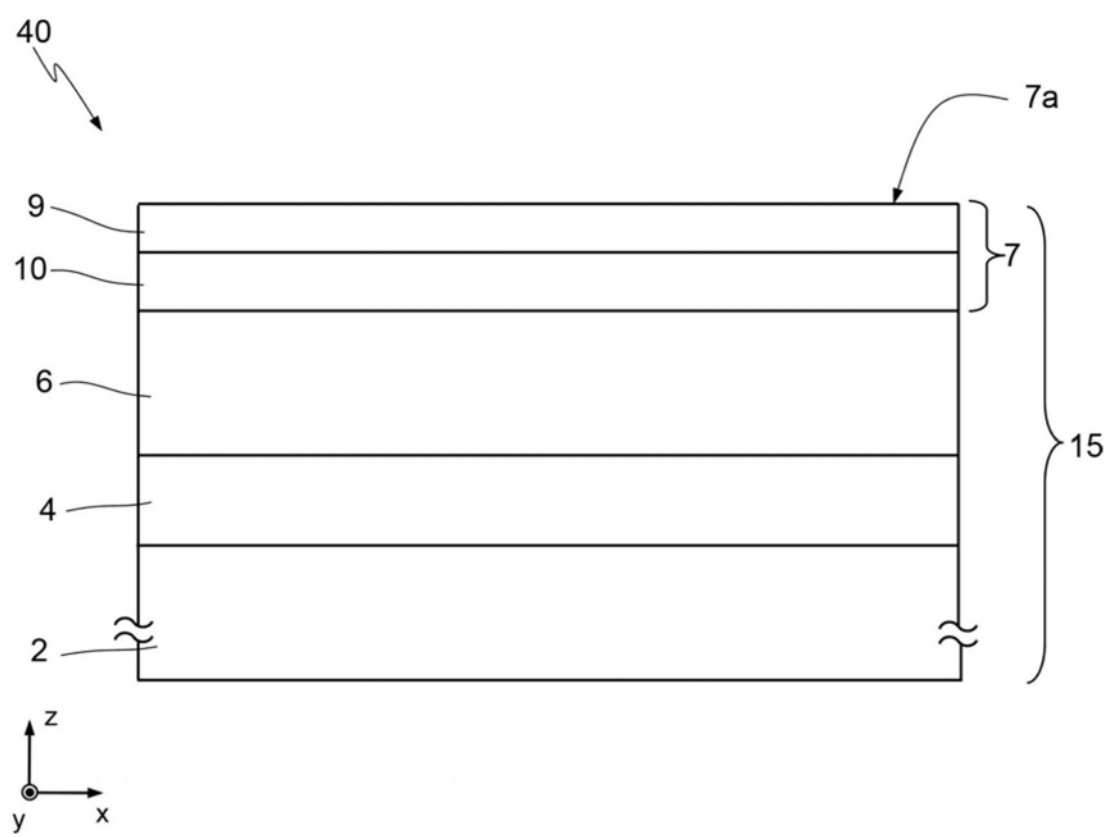


图4C

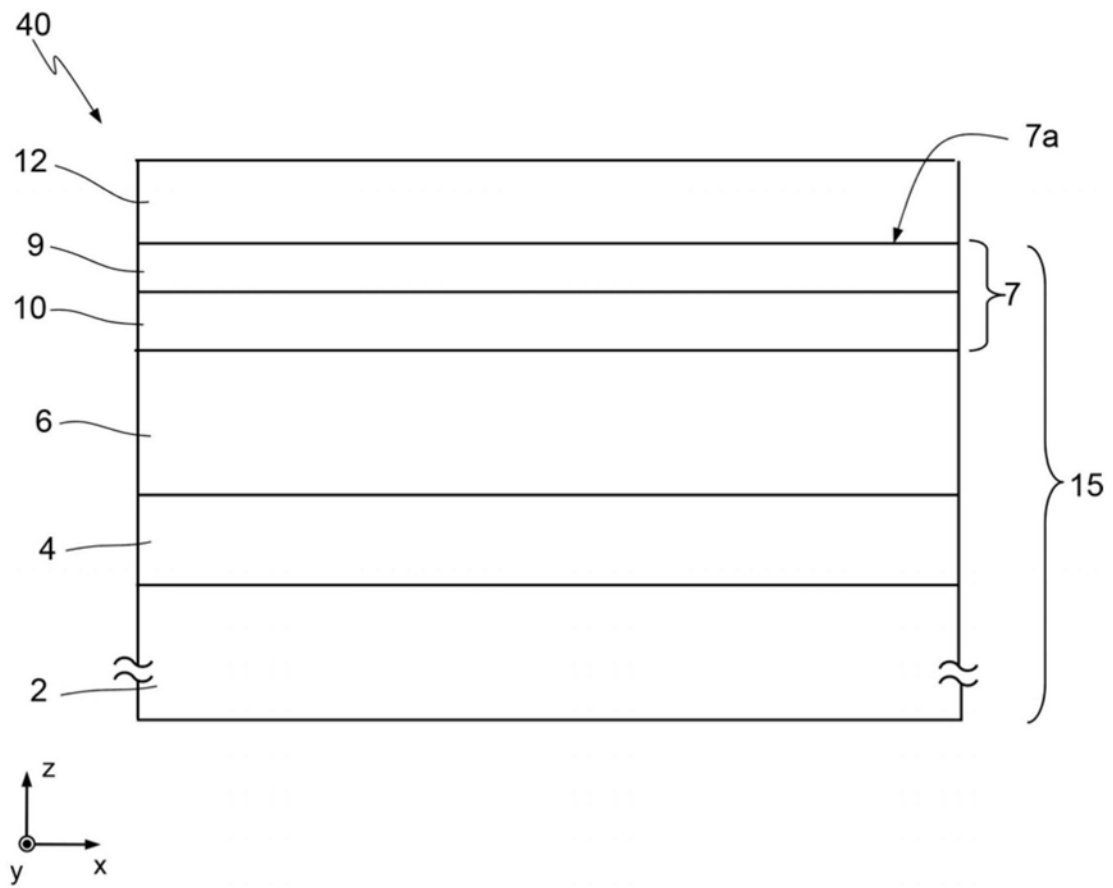


图4D

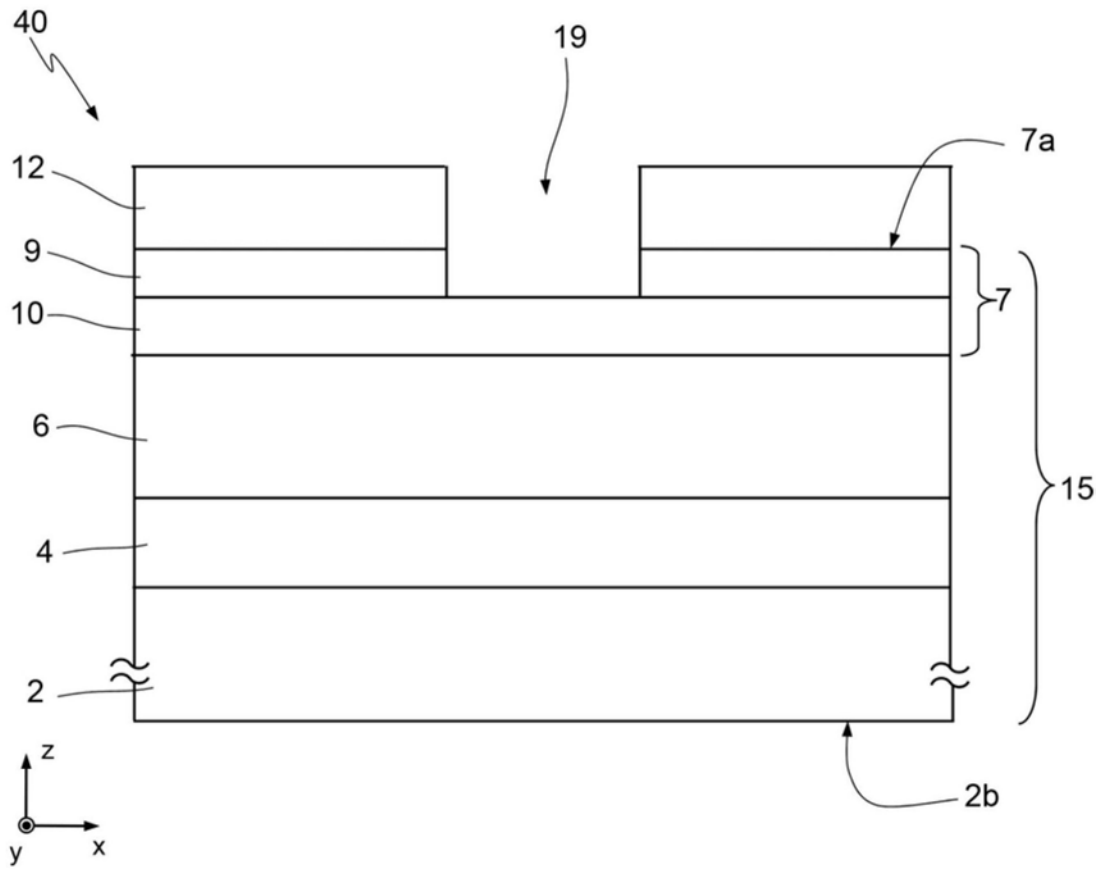


图4E

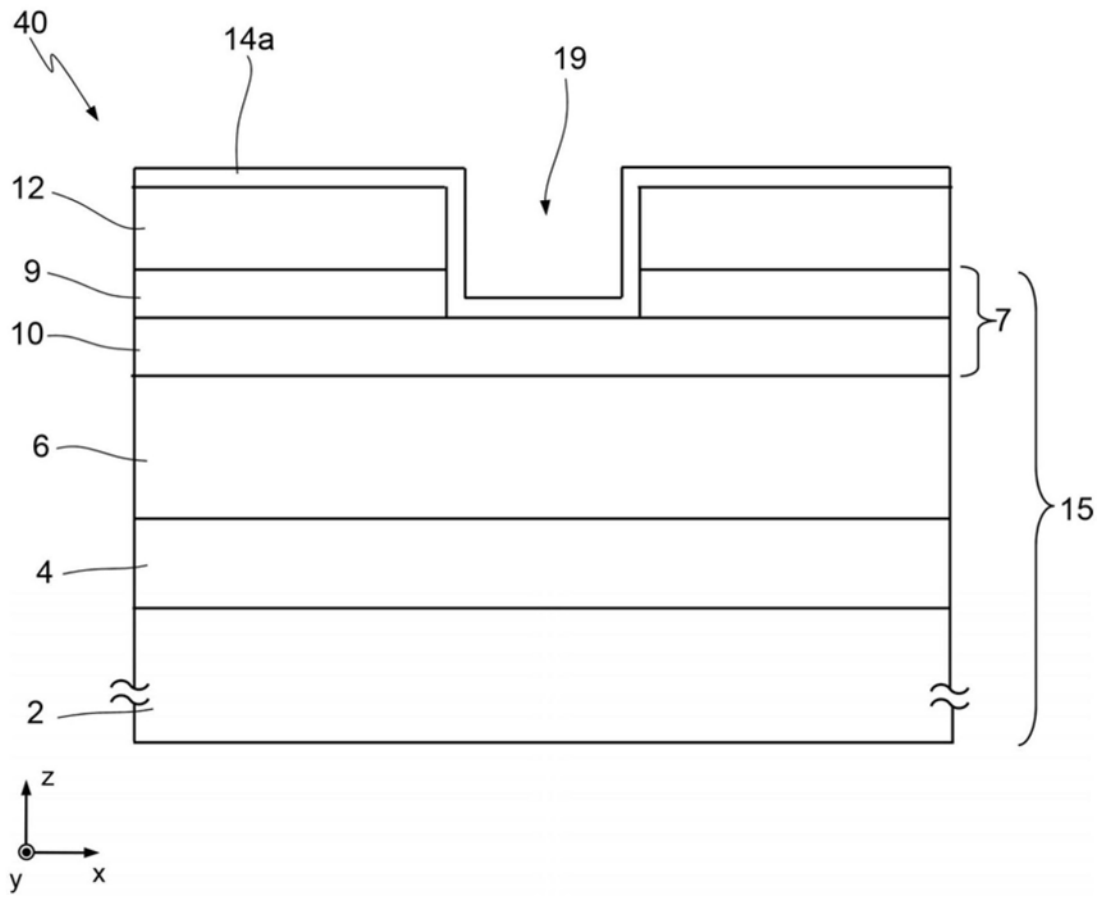


图4F

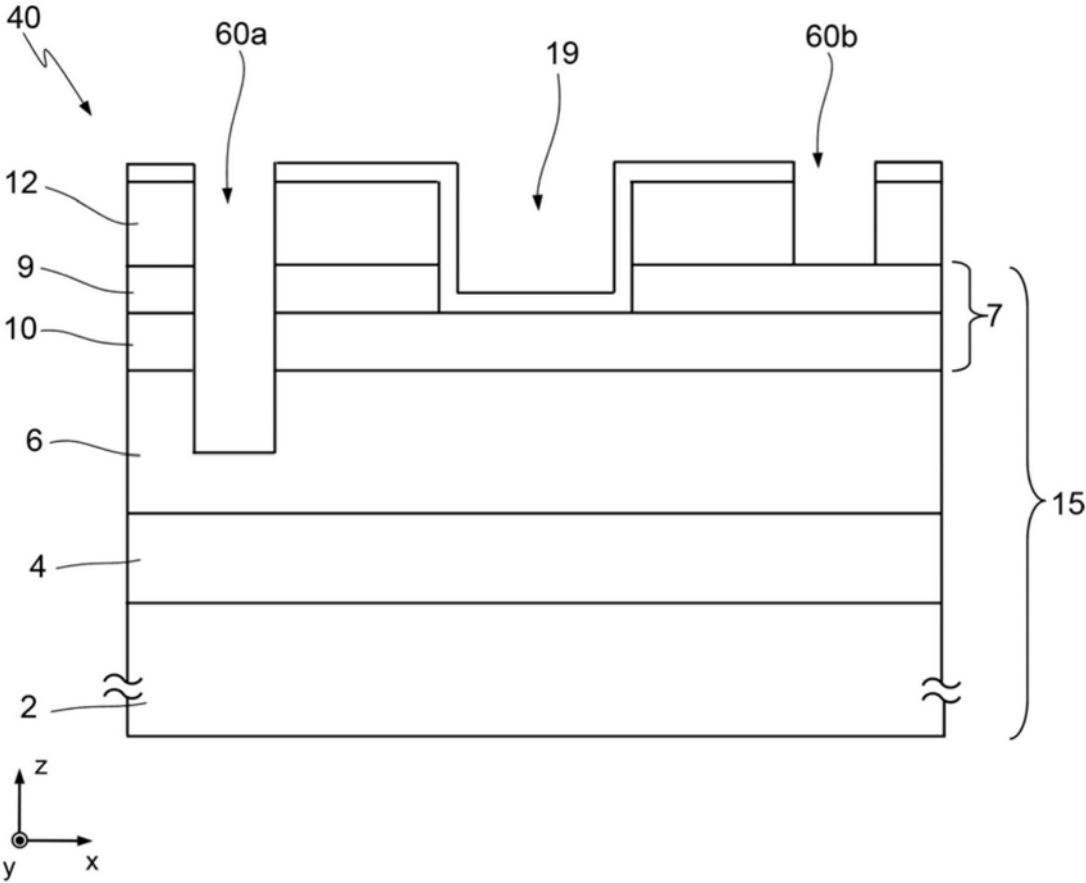


图4G

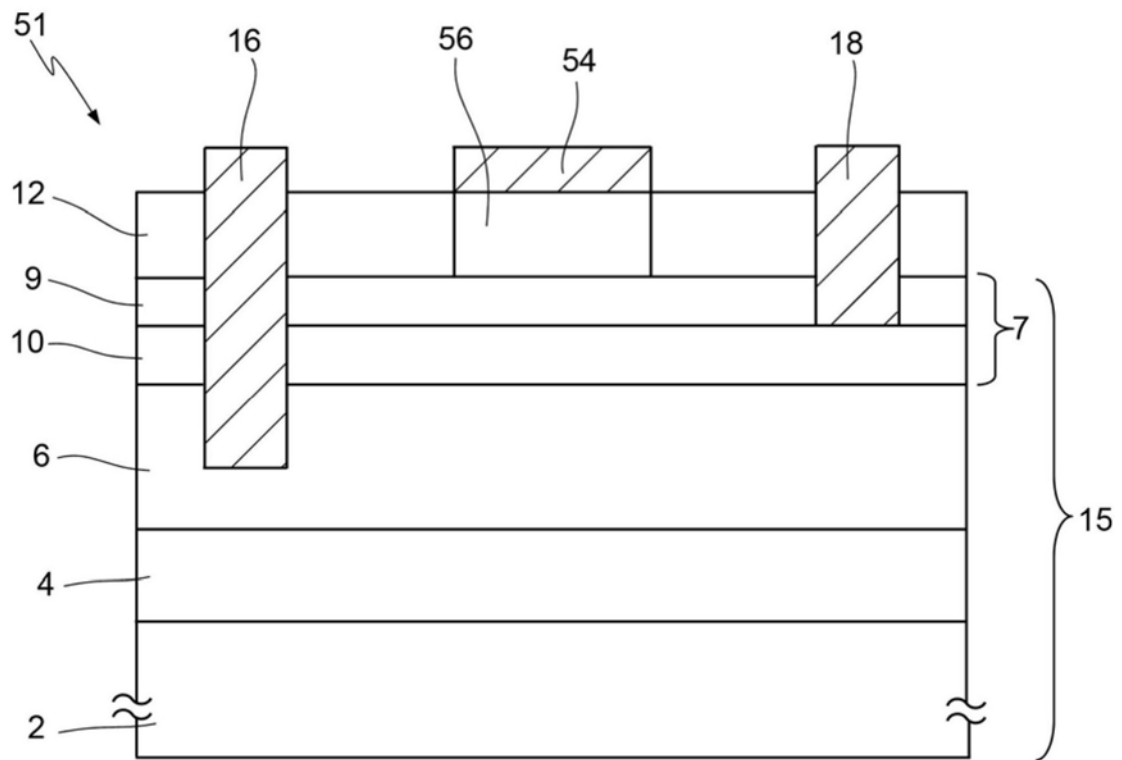


图5